

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-30239

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 0 5			
1/136	5 0 0			

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願平6-164403

(22) 出願日 平成6年(1994)7月15日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 磯貝 博之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

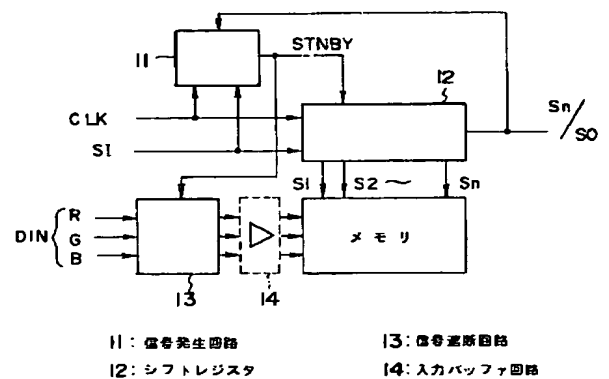
(74) 代理人 弁理士 岡本 啓三

## (54) 【発明の名称】 液晶表示装置及びその制御方法

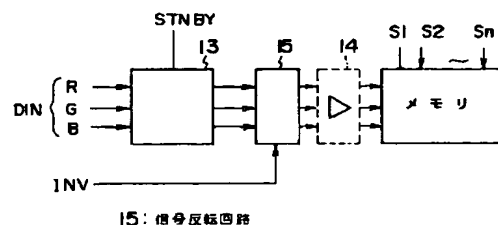
## (57) 【要約】

【目的】 液晶表示装置の低消費電力化に関し、クロック信号の停止のみに依存することなく、パワーダウン有効期間の液晶表示信号の取込みを停止し、当該データの周波数を高速にした場合であっても、低電力駆動化を図る。

【構成】 液晶表示信号DINの取り込み期間を識別してスタンバイ信号STNBYを発生する信号発生回路11と、スタートパルスS1及びスタンバイ信号STNBYに基づいて基準信号CLKから内部クロック信号S1～Snを生成するシフトレジスタ12と、スタンバイ信号STNBYに基づいて液晶表示信号DINの取込みを停止する信号遮断回路13とを備え、信号遮断回路13は、液晶表示信号DINを受け取る入力バッファ回路14の前段に設けられる。



(A)



(B)

(2)

## 【特許請求の範囲】

【請求項1】 液晶表示信号の取り込み期間を識別してスタンバイ信号を発生する信号発生回路と、スタートパルス及び前記スタンバイ信号に基づいて基準信号から内部クロック信号を生成するシフトレジスタと、前記スタンバイ信号に基づいて液晶表示信号の取込みを停止する信号遮断回路とを備え、

前記信号遮断回路は、液晶表示信号を受け取る入力バッファ回路の前段に設けられることを特徴とする液晶表示装置。

【請求項2】 前記信号遮断回路と入力バッファ回路との間に、前記液晶表示信号の信号論理を反転する信号反転回路が設けられることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 液晶表示信号の取り込み期間を識別してスタンバイ信号を発生する信号発生回路と、スタートパルス及び前記スタンバイ信号に基づいて基準信号から内部クロック信号を生成するシフトレジスタと、イネーブル信号及び前記スタンバイ信号に基づいて前記内部クロック信号の出力制御をする信号制御回路とを備え、前記信号制御回路は、イネーブル信号を受け取る入力バッファ回路の前段に設けられることを特徴とする液晶表示装置。

【請求項4】 液晶表示信号の取り込み期間を識別してスタンバイ信号を発生する信号発生回路と、スタートパルス及び前記スタンバイ信号に基づいて基準信号から内部クロック信号を生成するシフトレジスタと、前記スタンバイ信号に基づいて液晶表示信号の取込みを停止する信号遮断回路と、前記液晶表示信号の信号論理を反転する信号反転回路と、イネーブル信号及び前記スタンバイ信号に基づいて前記内部クロック信号の出力制御をする信号制御回路とを備え、前記信号反転回路は液晶表示信号を受け取る入力バッファ回路の前段に設けられ、前記信号遮断回路は信号反転回路の前段に設けられ、前記信号制御回路は、イネーブル信号を受け取る入力バッファ回路の前段にそれぞれ設けられることを特徴とする液晶表示装置。

【請求項5】 前記信号発生回路は、前記シフトレジスタのスタートパルスの入力時点から、次段のシフトレジスタのスタートパルスの出力時点までの期間を識別することを特徴とする請求項1～4に記載するいずれかの液晶表示装置。

【請求項6】 液晶表示信号の取り込み期間を識別してスタンバイ信号を発生し、前記スタンバイ信号に基づいてパワーダウン有効期間の液晶表示信号の取込みを停止することを特徴とする液晶表示装置の制御方法。

【請求項7】 前記スタンバイ信号に基づいてパワーダウン有効期間の平行又はシリアル液晶表示信号の取込みを停止することを特徴とする請求項6記載の液晶表示装置の制御方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、液晶表示装置及びその制御方法に関するものであり、更に詳しく言えば、容量素子を画像情報の記憶手段として用いる表示装置の低消費電力化に関するものである。近年、半導体集積回路

(以下LSIという)装置の高集積及び高密度技術の発達に伴い、TFT(Thin Film Transistor)を集積化したアクティブマトリクス型の液晶表示装置(LCD: Liquid Crystal Display)が製造されている。LCDは、CRT(陰極線管)に比べて薄型軽量であり、CRTに劣らない表示品質が得られることから、一般家庭用のTVだけでなく、OA機器の表示装置に普及しつつある。

【0002】これによれば、薄型軽量という点を生かし、ノートパソコンの表示装置として広く普及することが期待されている。この携帯性を生かしてバッテリー駆動をする場合には、いかに消費電力を抑え長時間連続駆動を可能にするかが課題となる。そこで、クロック信号の停止のみに依存することなく、パワーダウン有効期間の液晶表示信号の取込みを停止し、当該データの周波数を高速にした場合であっても、低消費電力化を図ることができる装置及び方法が望まれている。

## 【0003】

【従来の技術】図15～17は、従来例に係る説明図である。図15(A)は従来例に係る液晶表示ユニットの構成図であり、図15(B)は、そのデータドライバのシフトレジスタの構成図である。図16はデータドライバの構成図であり、図17は、その動作波形図をそれぞれ示している。

【0004】例えば、階段電圧に基づいて液晶表示をする液晶表示ユニットは、図15(A)に示すように、TFT基板1、コモン電極2、データドライバ3及びスキンドライバ4等を備える。640ライン×480画素×3色の画素電極を有する表示パネルではデータドライバ3が、例えば、TFT基板1の上下部に5個ずつ並べて設けられ、その1個のドライバユニット3Aは図16に示すように、シフトレジスタ回路3B、デジタルメモリ3D、3E及びデコード&セレクト回路3Fを有する。

【0005】また、シフトレジスタ回路3Bは、図15(B)に示すようにn個のフリップ・フロップFF1～FFn(以下単にFF回路という)及びクロックコントロール部301を有する。次に、液晶表示ユニットのデータドライバ3の機能を説明する。例えば、スタートパルスS1が各ドライバユニット3Aのシフトレジスタ回路3Bに供給され、図17(A)に示すように、クロック信号(以下CLK信号という)がコントロール部301によりアサート(有効)され、CLK信号に同期してシフトレジスタ回路3Bからデジタルメモリ3Dに制御パルス信号S1、S2、...、Snが出力される。

(3)

3

【0006】一方、外部からの液晶表示信号DIN（デジタル映像信号＝RDATA、GDATA、BDATA）は、信号反転回路3Cにより図17（B）に示すような反転制御信号INVに同期して論理反転され、その後、シフトレジスタ回路3Bからの信号S1、S2、...、Snに基づいて、順次、それが第1番目のドライバユニット3Aのデジタルメモリ3DにデータDINが取り込まれる。

【0007】また、シフトレジスタ回路3Bの最終段のFF回路から桁溢れ信号Snが出力されると、信号Snが次段のドライバユニット3AのスタートパルスSOとして出力されると共に、シフトレジスタ回路3Bに供給されるCLK信号がコントロール部301によりネゲート（無効）される。同様にして、第2番目～第10番目の各ドライバユニット3AのCLK信号が順次ネゲートされる。

【0008】なお、各ドライバユニット3Aのデジタルメモリ3Dに記憶された1水平期間に必要なデータDINが揃うと、それが一斉に各ドライバユニット3Aのデジタルメモリ3Eに転送され、各映像データR、G、Bはラッチ制御信号LPに基づいてデコード&セレクト回路3Fに転送される。回路3Fではm個の基準電圧V1～Vmがサンプリングされ、これに基づく階調電圧が、スキヤンドライバ4により選択されたバスラインのTFTを介して各画素電極に書き込まれる。

【0009】これによる電荷は、次のバスラインのTFTが選択されるまで、その画素電極の分布容量に保持される。これにより情報が保たれ、これに対応した液晶の傾きが決まることで、光の透過量が制御されて階調表示が行われる。なお、液晶自身の劣化防止及びちらつき防止のために、コモン電圧VCOMを極性反転する交流化駆動が採られる。

【0010】

【発明が解決しようとする問題点】ところで、従来例によれば、各ドライバユニット3A内に図15（B）に示すようなシフトレジスタ回路3Bを備え、そこにクロックコントロール部301が設けられる。また、図17（A）に示すように、スタートパルスS1の入力時から、信号Sn/SOが出力されまで、CLK信号が有効にされ、それ以外には、当該回路3BへのCLK信号の供給が停止される。

【0011】これは、データドライバ3での消費電力を抑えるためであり、データDINの取込みを行っている期間だけ、シフトレジスタ回路3Bを動作させようというものである。この方法は低電源駆動の実現が容易で携帯型OA装置に内蔵されるデジタルドライバに見られる。しかし、各ドライバユニット3A毎にCLK信号を停止する方法のみでは、次のような問題がある。

【0012】① CLK信号のネゲートの期間では、シフトレジスタ回路3Bからデジタルメモリ3Dへの信号

4

S1、S2、...、Snが停止しているが、当該メモリ3Dの前段に設けられた信号反転回路3C及び入力バッファ回路3Gは以前として動作状態にある。これによる無駄な電力消費が生じる。

② また、情報量の増大に伴い携帯型OA装置等に用いる液晶表示パネルを高精細化しようとする場合には、液晶表示信号DINの取扱周波数を高くする必要がある。例えば、水平期間の短縮化を図る。

【0013】しかし、周波数を高くすると、例えば、信号反転回路3Cにおいて、CLK信号のネゲート期間でありながら、データDINが極性反転されることから、当該反転回路3Cで消費する電力が増加する。これは、データDINの取扱周波数が高速になるほど、非常に大きな値となる。また、入力バッファ回路3Gの消費電流も無視できないものとなる。

【0014】これにより、携帯型OA装置の低消費電力化の妨げとなり、バッテリー駆動機器の命題である長時間の使用継続性という点で好ましくない。本発明は、かかる従来例の問題点に鑑み創作されたものであり、クロック信号の停止のみに依存することなく、パワーダウン有効期間の液晶表示信号の取込みを停止し、当該データの周波数を高速にした場合であっても、低消費電力化を図ることが可能となる液晶表示装置及びその制御方法の提供を目的とする。

【0015】

【課題を解決するための手段】図1、図2は本発明に係る液晶表示装置の原理図（その1、2）をそれぞれ示している。本発明の第1の液晶表示装置は図1（A）に示すように、液晶表示信号DINの取り込み期間を識別してスタンバイ信号STNBYを発生する信号発生回路11と、スタートパルスS1及び前記スタンバイ信号STNBYに基づいて基準信号CLKから内部クロック信号S1～Snを生成するシフトレジスタ12と、前記スタンバイ信号STNBYに基づいて液晶表示信号DINの取込みを停止する信号遮断回路13とを備え、前記信号遮断回路13は、液晶表示信号DINを受け取る入力バッファ回路14の前段に設けられることを特徴とする。

【0016】本発明の第2の液晶表示装置は、図1

（B）に示すように、前記信号遮断回路13と入力バッファ回路14との間に、前記液晶表示信号DINの信号論理を反転する信号反転回路15が設けられることを特徴とする。本発明の第3の液晶表示装置は、図2（A）に示すように、液晶表示信号DINの取り込み期間を識別してスタンバイ信号STNBYを発生する信号発生回路11と、スタートパルスS1及び前記スタンバイ信号STNBYに基づいて基準信号CLKから内部クロック信号S1～Snを生成するシフトレジスタ12と、イネーブル信号EN1～3及び前記スタンバイ信号STNBYに基づいて前記内部クロック信号S1～Snの出力制御をする信号制御回路16とを備え、前記信号制御回路16

50

(4)

5

は、イネーブル信号EN1～3を受け取る入力バッファ回路17の前段に設けられることを特徴とする。

【0017】本発明の第4の液晶表示装置は、図2

(B)に示すように、液晶表示信号DINの取り込み期間を識別してスタンバイ信号STNBYを発生する信号発生回路11と、スタートパルスS1及び前記スタンバイ信号STNBYに基づいて基準信号CLKから内部クロック信号S1～Snを生成するシフトレジスタ12と、前記スタンバイ信号STNBYに基づいて液晶表示信号DINの取込みを停止する信号遮断回路13と、前記液晶表示信号DINの信号論理を反転する信号反転回路15と、イネーブル信号EN1～3及び前記スタンバイ信号STNBYに基づいて前記内部クロック信号S1～Snの出力制御をする信号制御回路16とを備え、前記信号反転回路15は液晶表示信号DINを受け取る入力バッファ回路14の前段に設けられ、前記信号遮断回路13は信号反転回路15の前段に設けられ、前記信号制御回路16は、イネーブル信号EN1～3を受け取る入力バッファ回路17の前段にそれぞれ設けられることを特徴とする。

【0018】本発明の第1～第4の液晶表示装置において、前記信号発生回路11は、前記シフトレジスタ12のスタートパルスSIの入力時点から、次段のシフトレジスタのスタートパルスSn/SOの出力時点までの期間を識別することを特徴とする。本発明の液晶表示装置の制御方法は、液晶表示信号DINの取り込み期間を識別してスタンバイ信号STNBYを発生し、前記スタンバイ信号STNBYに基づいてパワーダウン有効期間の液晶表示信号DINの取込みを停止することを特徴とする。

【0019】本発明の液晶表示装置の制御方法において、前記スタンバイ信号STNBYに基づいてパワーダウン有効期間の平行又はシリアルな液晶表示信号DINの取込みを停止することを特徴とし、上記目的を達成する。

【0020】

【作 用】本発明の第1の液晶表示装置の動作を説明する。例えば、図1(A)において、信号発生回路11及びシフトレジスタ12にスタートパルスSIが供給されると、当該回路11はスタンバイ信号STNBY＝「H」レベルを発生し、それをシフトレジスタ12及び信号遮断回路13にそれぞれ出力する。

【0021】これにより、入力バッファ回路14の前段に設けられた信号遮断回路13では、STNBY＝「H」レベルに基づいて平行の液晶表示信号DINの取り込みが開始される。具体的には、スタートパルスSI及びSTNBY＝「H」レベルに基づいてシフトレジスタ12が起動されると、当該レジスタ12により基準信号CLKが順次シフトされ、例えば、n個の内部クロック信号S1～Snが生成される。

【0022】この内部クロック信号S1～Snに基づい

6

て平行の液晶表示信号DINが順次、メモリに格納される。また、レジスタ12の最終段からクロック信号Sn/SOが次段のシフトレジスタに出力されると、信号発生回路11はスタンバイ信号STNBY＝「L」レベルを発生し、それを信号遮断回路13に出力する。当該遮断回路13では、パワーダウン有効期間に入るため、液晶表示信号DINの取り込みが停止される。なお、パワーダウン有効期間とはSTNBY＝「L」レベル期間をいい、当該期間は、STNBY＝「H」レベルによってパワーダウンが無効になる。

【0023】このため、STNBY＝「L」レベル期間では、レジスタ12の内部クロック信号S1～Snが停止されると共に、液晶表示信号DINの取り込みそのものが停止される。これにより、信号遮断回路13の後段に設けられた入力バッファ回路14を非動作状態にすることができ、高速な液晶表示信号DINの取り扱う場合であっても、当該回路14の消費電流を低減することが可能となる。

【0024】本発明の第2の液晶表示装置によれば、図1(B)に示すように、信号遮断回路13と入力バッファ回路14との間に、液晶表示信号DINの信号論理を反転する信号反転回路15が設けられる。このため、STNBY＝「L」レベル期間では、第1の装置と同様に内部クロック信号S1～Snが停止されると共に、従来例では、信号反転回路15により1水平期間中を通して極性反転されていた液晶表示信号DINの取り込みそのものを停止することが可能となる。

【0025】これにより、信号遮断回路13の後段に設けられた入力バッファ回路14及び信号反転回路15を非動作状態にすることができ、例えば、従来例の透過型の液晶表示装置に比べ、消費電流を低減化に寄与する。本発明の第3の液晶表示装置の動作を説明する。例えば、図2(A)において、信号発生回路11及びシフトレジスタ12にスタートパルスSIが供給されると、当該回路11はスタンバイ信号STNBY＝「H」レベルを発生し、それをシフトレジスタ12及び信号制御回路16にそれぞれ出力する。

【0026】これにより、入力バッファ回路17の前段に設けられた信号制御回路16では、STNBY＝

「H」レベルに基づいて液晶表示信号DINの取り込みが開始される。具体的には、スタートパルスSI及びSTNBY＝「H」レベルに基づいてシフトレジスタ12が起動されると、当該レジスタ12により基準信号CLKが順次シフトされ、例えば、n個の内部クロック信号S1～Snが生成される。

【0027】この内部クロック信号S1～Snは、イネーブル信号EN1～EN3に基づいてシリアルな液晶表示信号DINがメモリに格納される。また、レジスタ12の最終段からクロック信号Sn/SOが次段のシフトレジスタに出力されると、信号発生回路11はスタンバイ

(5)

7  
信号STNBY=「L」レベルを発生し、それを信号制御回路16に出力する。当該制御回路16では、パワーダウン有効期間のシリアル液晶表示信号DINの取り込みが停止される。

【0028】このため、STNBY=「L」レベル期間では、第1及び第2の装置と同様に内部クロック信号S1～Snが停止されると共に、液晶表示信号DINのR、G、Bデータ毎に取り込みそのものを停止することが可能となる。これにより、信号制御回路16の後段に設けられた入力バッファ回路17を非動作状態にすることができ、例えば、従来例の投射型の液晶表示装置に比べ、消費電流の低減化に寄与する。

【0029】本発明の第4の液晶表示装置によれば、図2(B)に示すように、信号反転回路15の前段に信号遮断回路13が設けられ、入力バッファ回路17の前段に信号制御回路16がそれぞれ設けられる。このため、STNBY=「L」レベル期間では、第2、第3の装置と同様に内部クロック信号S1～Snが停止されると共に、液晶表示信号DINのR、G、Bデータ毎に取り込みそのものを停止することが可能となる。

【0030】これにより、信号遮断回路13の後段に設けられた入力バッファ回路14と信号反転回路15とを非動作状態にすること、及び、信号制御回路16の後段に設けられた入力バッファ回路17をそれぞれ非動作状態にすることができ、従来例に比べて当該液晶表示装置での消費電流を低減化に寄与する。このようなパワーダウン有効期間に液晶表示信号DINの取込み停止をする制御方法を当該液晶表示装置に備えることにより、外部から操作に依存することなく、従来例よりも効果的なオートパワーダウンが実現できる。

【0031】

【実施例】次に、図を参照しながら本発明の各実施例について説明をする。図3～14は、本発明の実施例に係る液晶表示装置及びその制御方法を説明する図である。

(1) 第1の実施例の説明

図3は、本発明の各実施例に係る液晶表示ユニットの全体構成図であり、図4はその液晶表示パネルの電極説明図である。図5は第1の実施例に係るデータドライバの構成図であり、図6(A)、(B)はそのパワーダウン回路及びシフトレジスタの内部構成図である。図7

(A)は本発明の第1の実施例に係る映像信号遮断回路の内部構成図であり、図8は、第1の実施例に係るデータドライバの動作波形図をそれぞれ示している。

【0032】例えば、8種類の基準電圧V0～V7に基づき、階段状波形電圧の中のいずれか一つの階段電圧を分布容量に保持する液晶表示ユニットは、図3に示すように、TFT基板31、コモン電極32、データドライバ33及びスキンドライバ34等を備える。TFT基板31は、図4に示すように、マトリクス状に設けられたスキャンバスライン(走査電極)SBL及びデータバ

8

スライン(信号電極)DBLを有し、これらラインの交点にスイッチング素子(TFT)が接続されて成る。当該TFTには画素電極が接続される。

【0033】コモン電極32はTFT基板31に下層に設けられ、この基板31と電極32との間に液晶が封入される。電極32にはコモン電圧VCOMが供給される。スキンドライバ34はスキャンクロック信号CLKS及びスキャンパルス信号SPSを受けて、スキャンバスラインSBLに接続されたTFTを選択する。また、640ライン×480画素×3色の画素電極を有する表示パネルではデータドライバ33が、例えば、TFT基板31の上下部に5個づつ分割して設けられ、その1個のドライバユニット33は図5に示すように、パワーダウン回路21、シフトレジスタ回路22、映像信号遮断回路23、デジタルメモリ28、29及びデコード&セレクト回路30を有する。

【0034】パワーダウン回路21は図1(A)の信号発生回路11の一例であり、3ドットの液晶表示データRDATA、GDATA、BDATA(以下単にDINともいう)の取り込み期間を識別してスタンバイ信号(以下単にSTNBY信号という)を発生する。例えば、当該回路21は図6(A)に示すように、フリップ・フロップ回路201及びリセット・セット回路202から成る。

【0035】回路201は基準クロック信号(以下単にCLK信号という)及び次段のスタート信号SOに基づいてリセット信号を発生し、それを回路202に出力する。回路202はリセット信号及びスタート信号SIに基づいてSTNBY信号を発生する。シフトレジスタ回路22ではスタートパルスSIの入力時点から、次段ドライバのシフトレジスタへのスタートパルスSn/SOの出力時点までの期間が識別される。

【0036】これにより、パラレルの液晶表示データDINの取り込み期間を識別してSTNBY信号を発生し、STNBY信号に基づいてパワーダウン有効期間の液晶表示データDINの取込みを停止することができる。シフトレジスタ回路22は図1(A)のシフトレジスタ12の一例であり、スタートパルスSI(SP)及びSTNBY信号に基づいてCLK信号から内部クロック信号S1～Snを生成する。例えば、シフトレジスタ回路22は図6(B)に示すように、ゲート回路203及びn個のフリップ・フロップ回路FF1～FFn(以下単にFF回路という)から成る。回路203はSTNBY信号に基づいてCLK信号の出力制御をする。

【0037】映像信号遮断回路23は信号遮断回路13の一例であり、STNBY信号に基づいて液晶表示データDINの取込みを停止するデータコントロール回路である。例えば、映像信号遮断回路23は図7(A)に示すように、3個の二入力NAND回路204～206及びインバータ207～209から成る。NAND回路204はSTNBY信号に基づいてRDATA(赤色映像データ)の通

50

(6)

9

過制御をし、インバータ 207はその信号論理を反転する。NAND回路205はSTNBY信号に基づいてGD  
ATA（緑色映像データ）の通過制御をし、インバータ  
208はその信号論理を反転する。同様に、NAND回路  
206はSTNBY信号に基づいてBDATA（青色映像  
データ）の通過制御をし、インバータ 209はその信号論  
理を反転する。

【0038】当該信号遮断回路23は液晶表示データD  
INを受け取る入力バッファ回路24の前段に設けられ  
る。バッファ回路24はデータDINを増幅してそれをデ  
ジタルメモリ28に転送する。デジタルメモリ28は内  
部クロック信号S1～Snに基づいてRDATA、GD  
ATA及びBDATAを一時記憶する。R、G、BDA  
TAはデジタル映像信号である。デジタルメモリ29  
はメモリ28からの第1画素目の3ビットの液晶表示デ  
ータR1、G1、B1～第n画素目の液晶表示データR  
n、Gn、Bnを一時記憶し、1水平期間の液晶表示デ  
ータが揃った時点で、ラッチ制御信号LPに基づいて、  
これら3×n個のデータR1～Rn、G1～Gn、B1  
～Rnをデコード&セレクト回路30に転送する。

【0039】デコード&セレクト回路30は、3×n個  
のデータR1～Rn、G1～Gn、B1～Rnをデコー  
ドして基準電圧V0～V7を選択し、階段状波形電圧を  
発生し、それをデータバスラインDBLに接続されたTF  
Tに書き込みを行う。また、この情報はドライバ33に  
よって、階調電圧の振幅範囲を5V以内に抑えられる。  
ドライバ33の駆動電源VCCは単一の5Vである。

【0040】次に、本発明の第1の実施例に係る液晶表  
示装置の低電力駆動時の動作を説明する。例えば、水平  
同期信号HSYNCの立ち下がりに同期して、パワーダ  
ウン回路21及びシフトレジスタ回路22に図8に示す  
ようなスタートパルスSIが供給されると、当該回路2  
1はSTNBY信号＝「H」レベルを発生し、それをシ  
フトレジスタ回路22及び映像信号遮断回路23にそれ  
ぞれ出力する。

【0041】これにより、入力バッファ回路24の前段  
に設けられた映像信号遮断回路23では、STNBY＝  
「H」レベルに基づいてパラレルの液晶表示データDIN  
＝R1、G1、B1…の取り込みが開始される。具体的  
には、スタートパルスSI及びSTNBY＝「H」レベ  
ルに基づいてシフトレジスタ回路22が起動されると、  
当該レジスタ回路22によりCLK信号が順次シフトさ  
れ、例えば、STNBY＝「H」レベルの期間のみCLK  
信号がレジスタ回路22に取り込まれ、その期間だけ  
n個の内部クロック信号S1～Snが生成される。

【0042】この内部クロック信号S1～Snに基づい  
て液晶表示データDIN（RM、GM、BM）がメモリ2  
8に格納される。また、レジスタ回路22の最終段から  
クロック信号Sn/SOが次段のシフトレジスタに出力  
されると、パワーダウン回路21はSTNBY信号＝

10

「L」レベルを発生し、それを映像信号遮断回路23に  
出力する。

【0043】当該遮断回路23では、パワーダウン有効  
期間の液晶表示データDINの取り込みが停止される。す  
なわち、STNBY＝「L」レベルにより、パワーダウ  
ン有効期間に入り、STNBY＝「H」レベルによっ  
て、それが無効になる。これにより、高速の映像信号を  
入力バッファ回路24の前段で信号変化を無くすることが  
できる。なお、ラッチ制御信号LPによりデジタルメモ  
リ28の内容がデジタルメモリ29に転送され、その  
内容に対応した基準電圧V0～V7が選択される。

【0044】このようにして、本発明の第1の実施例に  
係る液晶表示装置によれば、図5に示すように、パワー  
ダウン回路21、シフトレジスタ回路22及び映像信号  
遮断回路23を備え、当該遮断回路23が液晶表示デー  
タDINを受け取る入力バッファ回路24の前段に設けら  
れる。このため、パワーダウン回路21により、シフト  
レジスタ回路22の最終段出力Sn/SOでパワーダウ  
ン期間が有効になり、スタートパルスSIで解除される  
STNBY信号が作成される。このことで、STNBY  
＝「L」レベル期間では、レジスタ回路22の内部クロ  
ック信号S1～Snが停止されると共に、液晶表示デー  
タDINの取り込みそのものが停止される。

【0045】これにより、映像信号遮断回路23の後段  
に設けられた入力バッファ回路24を非動作状態にする  
ことができ、高速な液晶表示データDINの取り扱う場合  
であっても、当該回路24の消費電流を低減することが  
可能となる。このことで、携帯型OA装置の低消費電力  
化が図られ、バッテリー駆動機器の命題である長時間の使  
用継続性という点に貢献するところが大きい。

【0046】更には、1水平期間を短縮し、映像信号の  
周波数を高くすることで高解像度化が図られ、情報量の  
増大に伴う液晶表示パネルの高精細化及び携帯型OA装  
置に十分対処することが可能となる。

## (2) 第2の実施例の説明

図7(B)は本発明の第2の実施例に係る映像信号反転  
回路の内部構成図であり、図9は、第2の実施例に係る  
データドライバの構成図である。図10(A)は、その動  
作波形図であり、図10(B)は、その動作波形を補足す  
る水平期間と反転制御信号との関係をそれぞれ示してい  
る。

【0047】第1の実施例と異なるは第2の実施例で  
は、映像信号遮断回路23と入力バッファ回路24との  
間に、液晶表示データDINの信号論理を反転するデータ  
反転回路(INV)25が設けられる。すなわち、デー  
タ反転回路25は図1(B)の信号反転回路15の一例  
であり、例えば、図7(B)に示すように、二入力EX  
OR（排他論理和）回路51～53から成る。EXOR  
回路51は反転制御信号（以下INV信号という）に基  
づいてRDATAを反転し、EXOR回路52はINV

(7)

11

信号に基づいてGDATAを反転し、EXOR回路53はINV信号に基づいてBDATAをそれぞれ反転する。当該データ反転回路25は液晶表示データDINを受け取る入力バッファ回路24の前段に設けられる。その他の同じ記号及び同じ名称のものは、第1の実施例と同様であるため、その説明を省略する。

【0048】次に、本発明の第2の実施例に係る液晶表示装置の低電力駆動時の動作を説明する。例えば、第1の実施例と同様に、パワーダウン回路21及びシフトレジスタ回路22に、図10(A)に示すようなスタートパルスSIが供給されると、当該回路21はSTNBY信号＝「H」レベルを発生し、それをシフトレジスタ回路22及び映像信号遮断回路23にそれぞれ出力する。

【0049】これにより、データ反転回路25の前段に設けられた映像信号遮断回路23では、STNBY＝「H」レベルに基づいて液晶表示データDINの取り込みが開始される。スタートパルスSI及びSTNBY＝「H」レベルに基づいてシフトレジスタ回路22が起動されると、当該レジスタ回路22からデジタルメモリ28にn個の内部クロック信号S1～Snが出力される。

【0050】この内部クロック信号S1～Sn及びINV信号に基づいて、1水平期間毎にデータ反転回路25により極性反転された液晶表示データDINがメモリに格納される。また、レジスタ回路22の最終段からクロック信号Sn/SOが次段のシフトレジスタに出力されると、パワーダウン回路21はSTNBY信号＝「L」レベルを発生し、それを映像信号遮断回路23に出力する。STNBY信号＝「L」レベルで、内部クロック信号S1～Snが無効になると共に、当該遮断回路23では、パワーダウン有効期間の液晶表示データDINの取り込みが停止される。その後、ラッチ制御信号LPによりデジタルメモリ28の内容がデジタルメモリ29に転送され、その内容に対応した基準電圧V0～V7が選択される。

【0051】このようにして本発明の第2の実施例に係る液晶表示装置によれば、図9に示すように、映像信号遮断回路23と入力バッファ回路24との間に、液晶表示データDINの信号論理を反転するデータ反転回路25が設けられる。このため、STNBY信号が「H」レベルの時には、データ反転回路25が動作状態にされ、INV信号＝「H」レベルにより、データDINが論理反転され、それが「L」レベルの時には非反転論理のデータDINがデジタルメモリ28に格納される。このことで、STNBY＝「L」レベル期間では、第1の実施例と同様に内部クロック信号S1～Snが停止されると共に、1水平期間毎に信号反転回路15により極性反転される液晶表示データDINの取り込みそのものを停止することが可能となる。

【0052】これにより、映像信号遮断回路23の後段に設けられたデータ反転回路25及び入力バッファ回路

12

24を非動作状態にすることができ、従来例に比べて当該回路24及び25の消費電流を低減することが可能となる。当該反転回路25の非動作期間は、データDINの取扱周波数が高速になるほど低消費化に有効に作用する。従来例の透過型の液晶表示装置に比べ、消費電力を低減化に寄与する。

【0053】(3)第3の実施例の説明

図11は、本発明の第3の実施例に係るデータドライバの構成図であり、図12はそのイネーブルコントロール回路の内部構成図である。図13(A)は、その動作波形図であり、図13(B)は、その動作波形を補足する水平期間と反転制御信号との関係をそれぞれ示している。

【0054】第1、第2の実施例と異なるは第3の実施例ではイネーブル信号(内部供給)EN1～EN3を受け取る入力バッファ回路27Aの前段にイネーブルコントロール回路26が設けられる。すなわち、イネーブルコントロール回路26は図2(A)の信号制御回路16の一例であり、イネーブル信号EN1～EN3及びSTNBY信号に基づいて内部クロック信号S1～Snの出力制御をする。例えば、コントロール回路26は、図12に示すように、3個の二入力NAND回路61～63及びインバータ64～66から成る。

【0055】NAND回路61はSTNBY信号に基づいてイネーブル信号EN1の通過制御をし、インバータ64はその信号論理を反転する。NAND回路62はSTNBY信号に基づいてイネーブル信号EN2の通過制御をし、インバータ65はその信号論理を反転する。同様に、NAND回路63はSTNBY信号に基づいてイネーブル信号EN3の通過制御をし、インバータ66はその信号論理を反転する。

【0056】当該回路26はイネーブル信号EN1～EN3を受け取る入力バッファ回路27Aの前段に設けられ、バッファ回路27Aは信号EN1～EN3を増幅してそれを3×n個のゲート回路27Bに各々転送する。ゲート回路27Bは、有効となった信号EN1～EN3に基づいてシフトレジスタ回路22からの内部クロック信号S1～Snを出力制御する。これは、シフトレジスタ回路22の出力信号のパルス幅を制御することで、3ビット(RGB)を同時に取り込む機能と、1ビット毎にデータを取り込む機能とを切り換えるためである。

【0057】その他の同じ記号及び同じ名称のものは、第1、第2の実施例と同様であるため、その説明を省略する。次に、本発明の第3の実施例に係る液晶表示装置の低消費駆動時の動作を説明する。例えば、第1、第2の実施例と同様に、パワーダウン回路21及びシフトレジスタ回路22に、図13(A)に示すようなスタートパルスSIが供給されると、当該回路21はSTNBY信号＝「H」レベルを発生し、それをシフトレジスタ回路22及びイネーブルコントロール回路26にそれぞれ出力する。

(8)

13

【0058】これにより、コントロール回路26では、STNBY＝「H」レベルに基づいて液晶表示データDINの取り込みが開始される。具体的には、スタートパルスS1及びSTNBY＝「H」レベルに基づいてシフトレジスタ回路22が起動されると、当該レジスタ回路22によりCLK信号が順次シフトされ、例えば、n個の内部クロック信号S1～Snが、3×n個のゲート回路27Bに出力される。

【0059】この内部クロック信号S11～Sn1は、図13(B)に示すように1水平期間において、イネーブル信号EN1により有効にされると、シリアルなRDATAがデジタルメモリ28に取り込まれる。また、信号S12～Sn2がイネーブル信号EN2に基づいて有効にされると、シリアルなGDATAがデジタルメモリ28に取り込まれる。同様に、信号S13～Sn3はイネーブル信号EN3に基づいて有効にされると、シリアルなBDATAがデジタルメモリ28に取り込まれる。また、信号EN1～EN3とCLK信号とを同一波形にすると、第1及び第2の実施例と同様に3ドットのデータDINがデジタルメモリ28に同時取り込まれる。

【0060】なお、レジスタ回路22の最終段からクロック信号Sn/SOが次段のシフトレジスタに出力されると、パワーダウン回路21はSTNBY信号＝「L」レベルを発生し、それをイネーブルコントロール回路26に出力する。これにより、シフトレジスタ回路22のCLK信号と、イネーブル信号EN1～EN3が無効になる。パワーダウン有効期間でのシリアルな液晶表示データDINの取り込みが停止される。その後、ラッチ制御信号LPによりデジタルメモリ28の内容がデジタルメモリ29に転送され、その内容に対応した基準電圧V0～V7が選択される。

【0061】このようにして本発明の第3の実施例に係る液晶表示ユニットによれば、図11に示すように、イネーブル信号EN1～EN3を受け取る入力バッファ回路27Aの前段にイネーブルコントロール回路26が設けられる。このため、STNBY＝「L」レベル期間では、レジスタ回路22の内部クロック信号S1～Snが停止されると共に、信号EN1～EN3が無効になり、ゲート回路27Bの出力が停止され、RDATA、GDATA又はBDATA等のシリアルな液晶表示データの取り込みそのものが停止される。これにより、コントロール回路26の後段に設けられた入力バッファ回路27Aを非動作状態にすることができ、STNBY＝「L」レベル期間では、第1及び第2の実施例と同様に当該回路27Aの消費電流を低減することが可能となる。従来例の投射型の液晶表示装置に比べ、消費電力を低減化に寄与する。

【0062】(4) 第4の実施例の説明

図14は、本発明の第4の実施例に係るデータドライバの構成図を示している。第4の実施例では第2及び第3の実施例が組み合わされるものである。すなわち、データ

14

反転回路25が液晶表示データDINを受け取る入力バッファ回路24の前段に設けられ、映像信号遮断回路23がデータ反転回路25の前段に設けられ、イネーブルコントロール回路26が、イネーブル信号EN1～EN3を受け取る入力バッファ回路27Bの前段にそれぞれ設けられる。

【0063】このため、STNBY＝「L」レベル期間では、第2、第3の実施例と同様に、内部クロック信号S1～Snが停止されると共に、液晶表示データDINのR、G、Bデータ毎に取り込みそのものを停止することが可能となる。これにより、入力バッファ回路24及びデータ反転回路25を非動作状態にすること、及び、入力バッファ回路27Aをそれぞれ非動作状態にすることができ、従来例に比べて液晶表示ユニットの消費電力を低減することが可能となる。

【0064】このように本発明の各実施例では、1枚のパネルに複数個使用されたデータドライバ33が、各々自動パワーダウン機能を持つ。このことで、パワーダウン回路21からのSTNBY信号により、ドライバ33内部に供給される全ての信号(映像信号、イネーブル信号等)を制御することができる。これにより、外部操作に依存することなく、複数のデータドライバ33を1水平期間にリレー動作することができ、従来例よりも、大幅な消費電力の削減化が図れる。

【0065】

【発明の効果】本発明の液晶表示装置によれば、信号発生回路、シフトレジスタ及び信号遮断回路を備え、当該遮断回路が液晶表示信号を受け取る入力バッファ回路の前段に設けられる。このため、信号発生回路からのスタンバイ信号に基づいてパワーダウン有効期間では、レジスタの内部クロック信号が停止されると共に、信号遮断回路により液晶表示信号の取り込みそのものが停止され、信号遮断回路の後段の入力バッファ回路を非動作状態にすることができる。

【0066】本発明の他の液晶表示装置によれば、液晶表示信号の信号論理を反転する信号反転回路の前段に信号遮断回路が設けられる。このため、パワーダウン有効期間では、内部クロック信号が停止されると共に、1水平期間毎に極性反転される液晶表示信号の取り込みが信号遮断回路により停止され、信号遮断回路の後段の信号反転回路を非動作状態にすることができる。

【0067】本発明の他の液晶表示装置によれば、スタンバイ信号に基づいてイネーブル信号を出力制御する信号制御回路が、入力バッファ回路の前段に設けられる。このため、パワーダウン有効期間では、内部クロック信号が停止されると共に、液晶表示信号のシリアルデータ毎に取り込みを停止することができ、信号制御回路の後段の入力バッファ回路を非動作状態にすることができる。

【0068】本発明の液晶表示装置の制御方法によれ

50



(9)

15

ば、液晶表示信号の取り込み期間を識別してスタンバイ信号を発生し、この信号に基づいてパワーダウン有効期間の平行又はシリアル液晶表示信号の取込みが停止される。このため、高速な液晶表示信号の取り扱う場合であっても、当該装置の消費電流を必要最小限に抑えることができ、各回路での消費電流を低減することが可能となる。しかも、構成が容易な自動パワーダウンが実現される。

【0069】これにより、透過型及び投射型の液晶表示装置の低電力消費化に寄与する。また、長時間使用が可能で、携帯型OA装置の提供に大きく貢献する。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の原理図（その1）である。

【図2】本発明に係る液晶表示装置の原理図（その2）である。

【図3】本発明の各実施例に係る液晶表示ユニットの全体構成図である。

【図4】本発明の各実施例に係る液晶表示パネルの電極説明図である。

【図5】本発明の第1の実施例に係るデータドライバの構成図である。

【図6】本発明の各実施例に係るパワーダウン回路及びシフトレジスタ回路の内部構成図である。

【図7】本発明の実施例に係る映像信号遮断回路及びデータ反転回路の内部構成図である。

【図8】本発明の第1の実施例に係るデータドライバの動作波形図である。

【図9】本発明の第2の実施例に係るデータドライバの構成図である。

16

【図10】本発明の第2の実施例に係るデータドライバの動作波形図である。

【図11】本発明の第3の実施例に係るデータドライバの構成図である。

【図12】本発明の第3の実施例に係るイネーブルコントロール回路の内部構成図である。

【図13】本発明の第3の実施例に係るデータドライバの動作波形図である。

【図14】本発明の第4の実施例に係るデータドライバの構成図である。

【図15】従来例に係る液晶表示ユニット及びパワーダウン方法の説明図である。

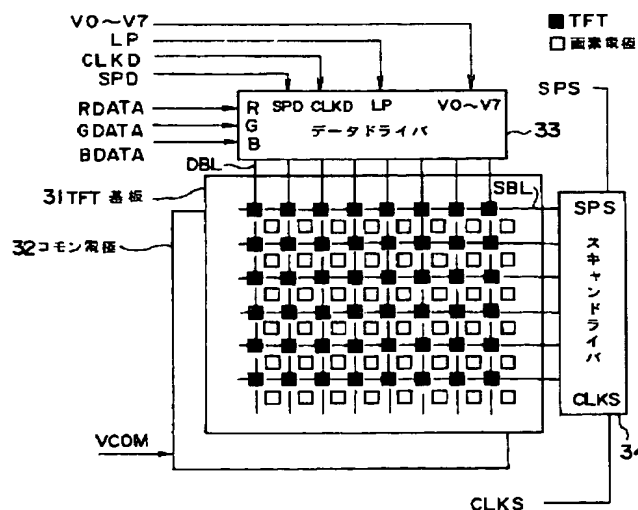
【図16】従来例に係るデータドライバの内部構成図である。

【図17】従来例に係るデータドライバの動作波形図である。

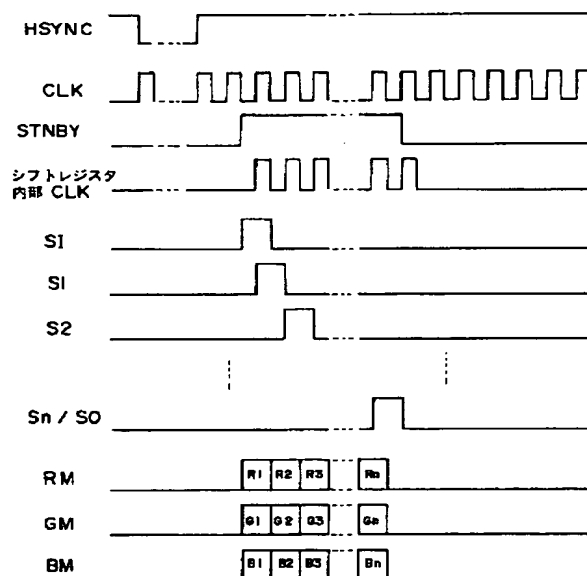
【符号の説明】

11…信号発生回路、  
12…シフトレジスタ、  
13…信号遮断回路、  
14, 17…入力バッファ回路、  
15…信号反転回路、  
16…信号制御回路、  
STNBY…スタンバイ信号、  
S1～Sn…内部クロック信号、  
EN1～EN3…イネーブル信号、  
SI (SP) …スタートパルス、  
Sn / SO…次段のスタートパルス、  
INV…反転制御信号。

【図3】

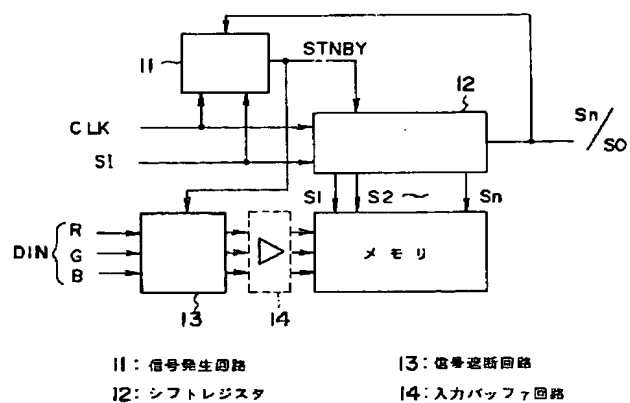


【図8】

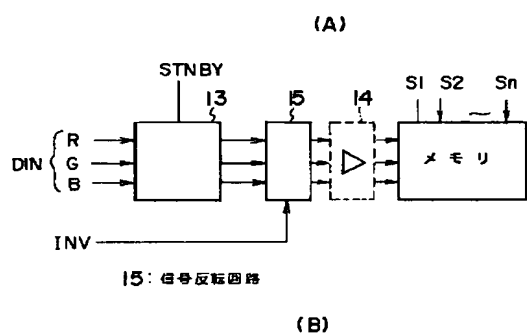
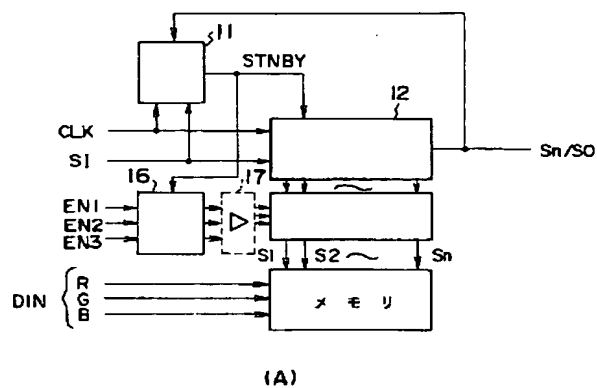


(10)

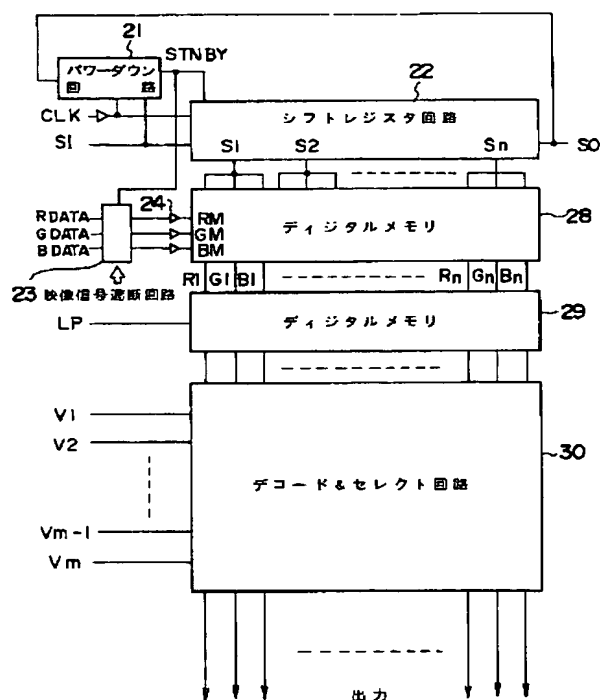
【図1】



【図2】

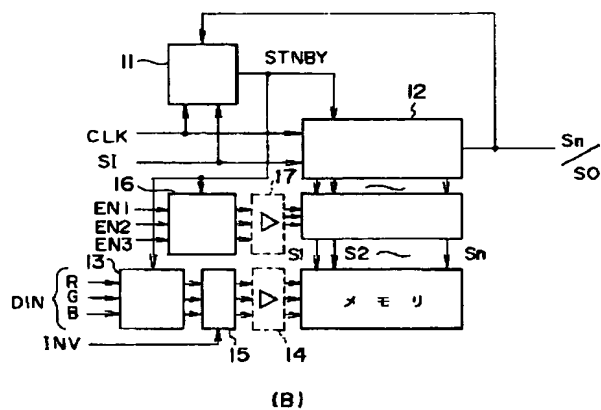


【図5】

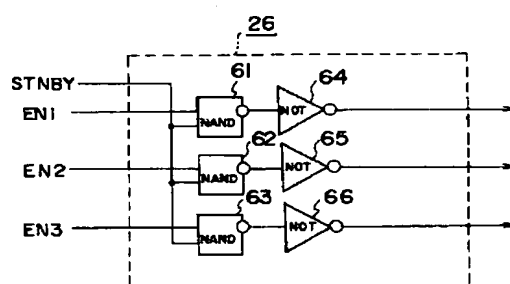


24: 入力バッファ回路

(A)

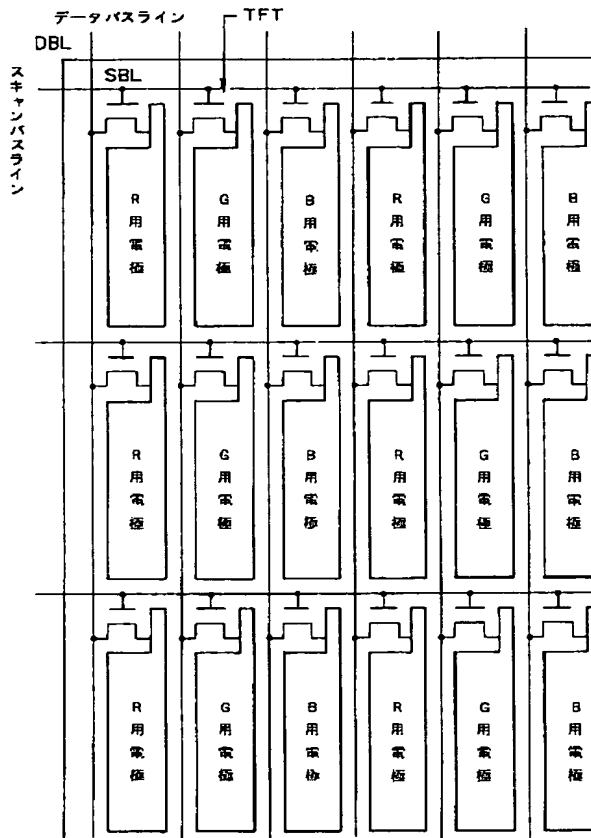


【図12】

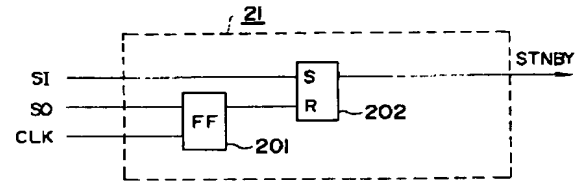


(11)

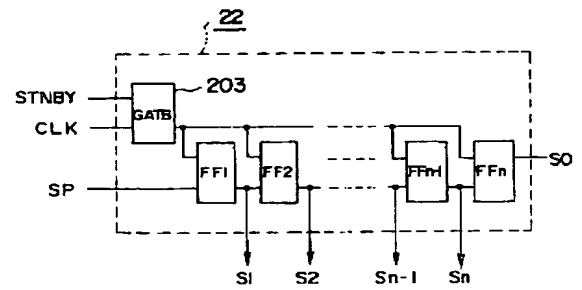
【図4】



【図6】

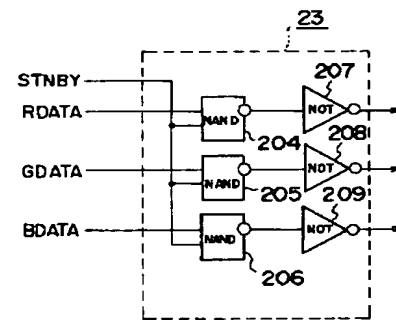


(A)

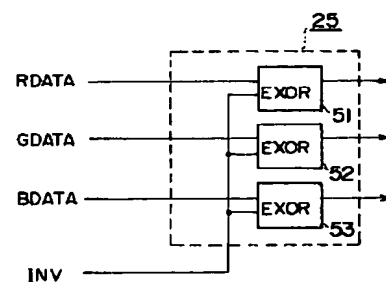


(B)

【図7】



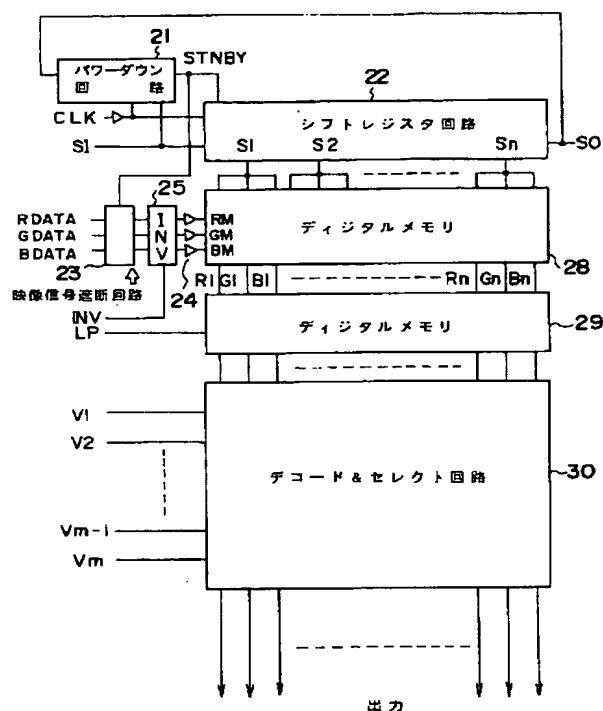
(A)



(B)

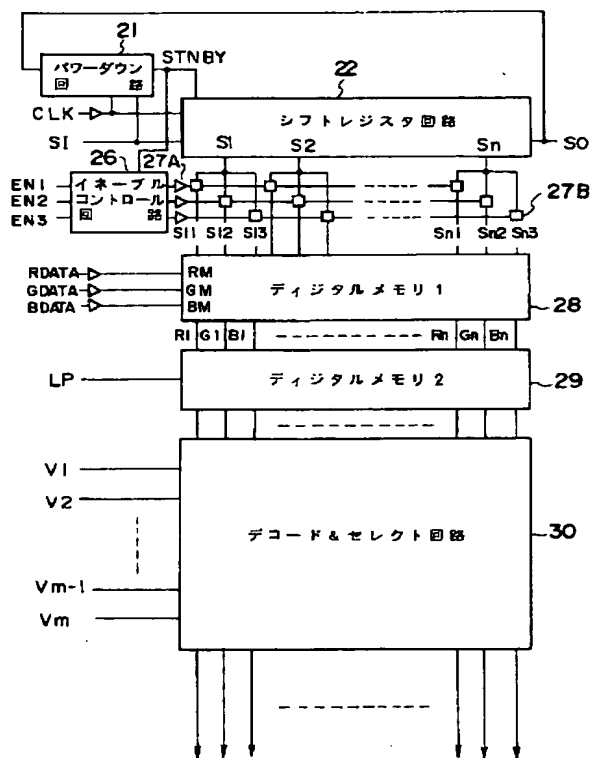
(12)

【図9】

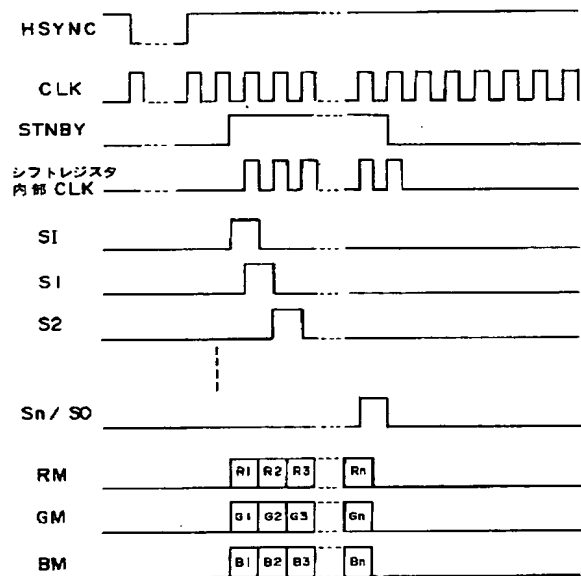


25: データ反転回路

【図11】



【図10】

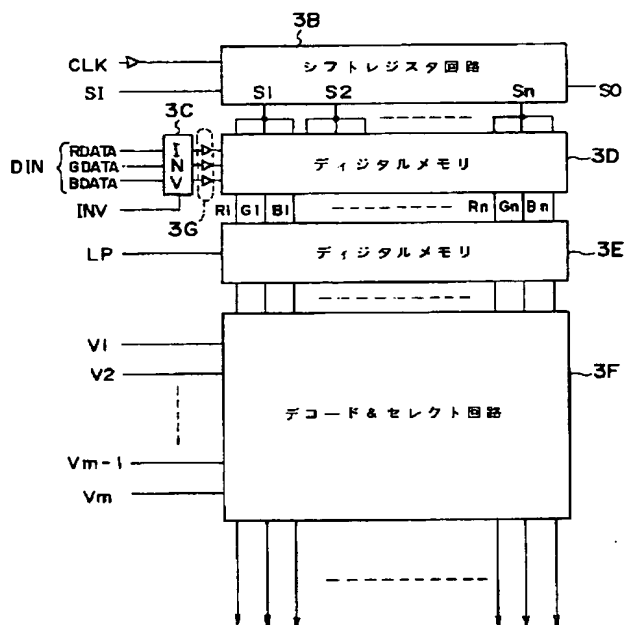


(A)



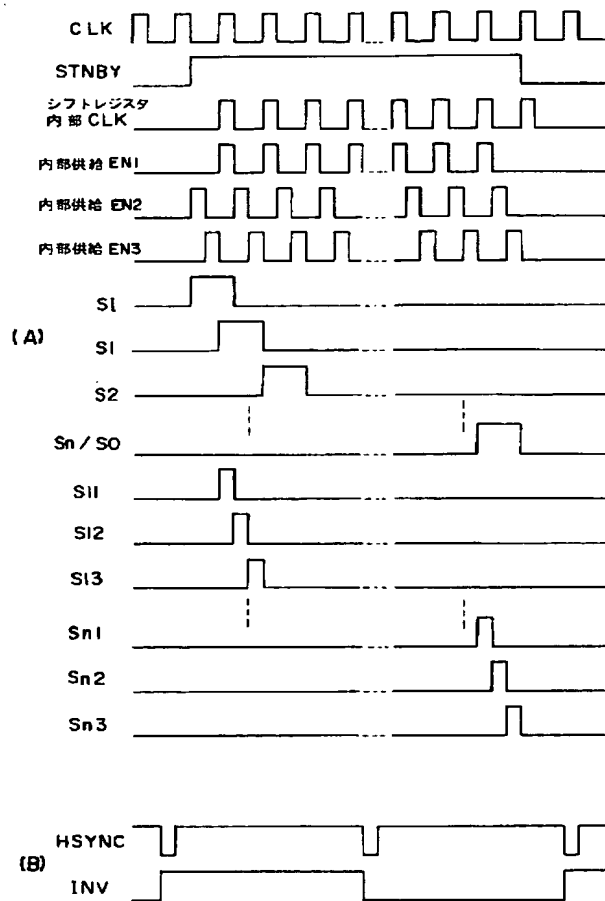
(B)

【図16】

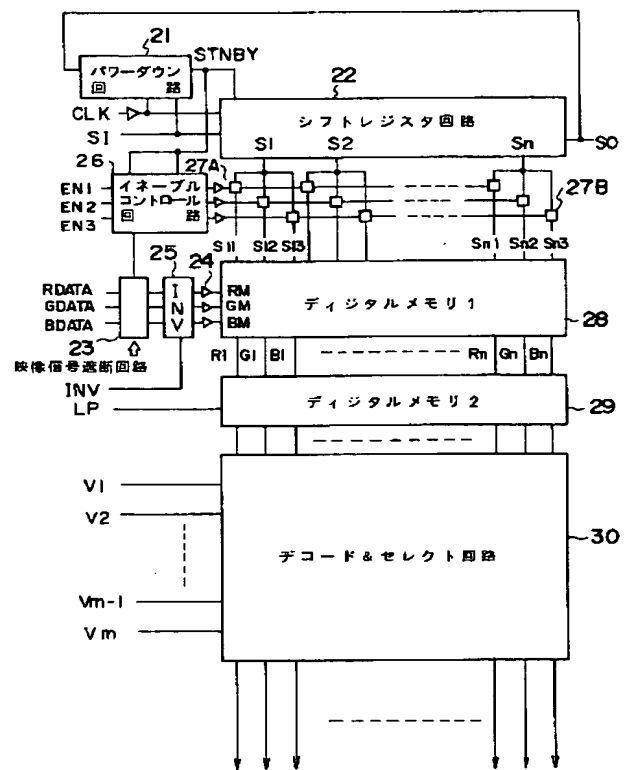


(13)

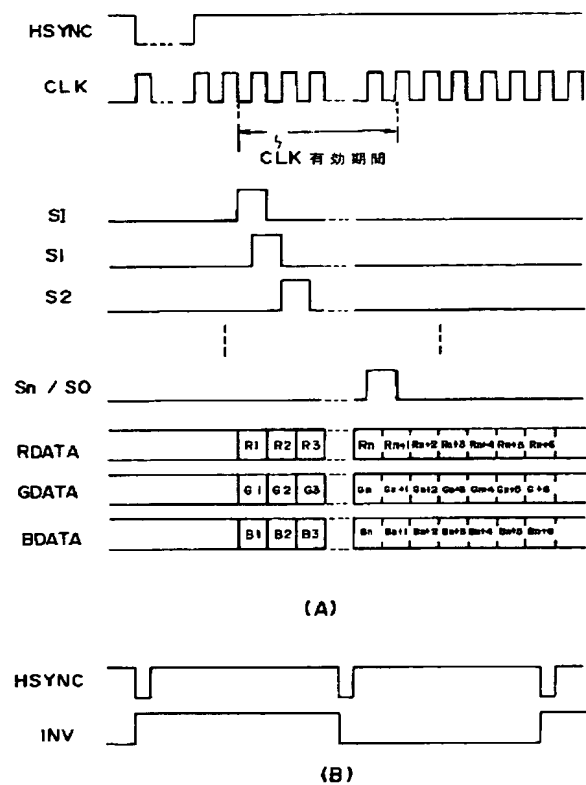
【図13】



【図14】

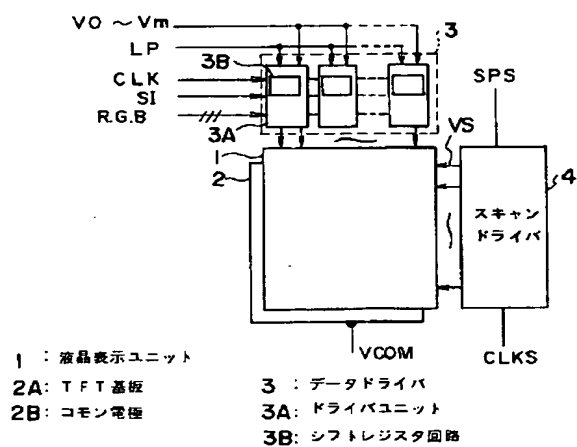


【図17】



(14)

【図15】



(A)

